

(6)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-150985
(P2002-150985A)

(43)公開日 平成14年 5月24日 (2002.5.24)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト(参考)
H 0 1 J 37/20		H 0 1 J 37/20	H 2 F 0 6 7
G 0 1 B 15/00		G 0 1 B 15/00	B 2 G 0 0 1
G 0 1 N 23/225		G 0 1 N 23/225	2 G 0 1 1
G 0 1 R 1/06		G 0 1 R 1/06	F 2 G 0 3 2
31/302		G 2 1 K 5/04	M 4 M 1 0 6
審査請求 未請求 請求項の数5 O L (全 6 頁) 最終頁に続く			

(21)出願番号 特願2000-338979(P2000-338979)

(22)出願日 平成12年11月 7日 (2000. 11. 7)

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(71)出願人 000000239

株式会社荏原製作所

東京都大田区羽田旭町11番1号

(72)発明者 浜島 宗樹

東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

(74)代理人 100089705

弁理士 社本 一夫 (外3名)

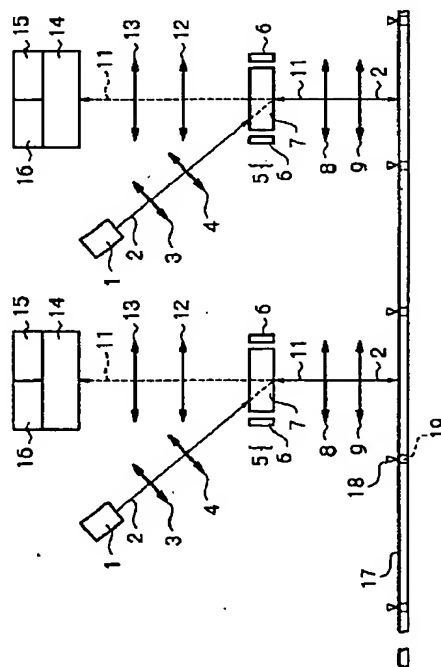
最終頁に続く

(54)【発明の名称】 電子線装置及びデバイス製造方法

(57)【要約】 (修正有)

【課題】1次電子を基板表面に照射して2次電子を発生させて、それに基づき基板表面の欠陥の有無を検査するための装置を提供する。

【解決手段】電子銃1により1次電子線を基板17表面に照射し、照射に応じて同基板面から発生する2次電子線を検出する電子線装置において、基板を複数のダイに仕切る基板表面上のダイシングライン19に接触して、同基板表面に発生する電荷を放電するための放電手段を有することを特徴とする電子線装置を提供する。この装置では、2次電子線に基づき形成される画像を予め記憶した画像と比較したり、基板表面のパターンのパターン線幅を2次電子線に基づき検査することにより、基板表面の検査をすることができる。



【特許請求の範囲】

【請求項1】 電子銃により1次電子線を基板表面に照射し、該照射に応じて同基板面から発生する2次電子線の検出を行う電子線装置において、基板を複数のダイに仕切る当該基板表面上のダイシングラインに接触して、同基板表面に発生する電荷を放電するための放電手段を有することを特徴とする電子線装置。

【請求項2】 請求項1に記載の電子線装置において、複数の1次電子線を基板表面に照射する少なくとも1以上の1次電子光学系と、前記2次電子線を少なくとも1以上の検出器に導く少なくとも1以上の2次電子光学系とを有し、前記複数の1次電子線は、互いに前記2次電子光学系の距離分解能より離れた位置に照射されるものである電子線装置。

【請求項3】 請求項1に記載の電子線装置において、前記基板表面に所定のパターンが形成されており、前記2次電子線に基づき、同パターンのパターン線幅を測定して、その欠陥の有無を検査するようにしたことを特徴とする電子線装置。

【請求項4】 請求項1乃至3のいずれかに記載の電子線装置を複数個並設して有することを特徴とする装置。

【請求項5】 前記基板を用いたデバイスを製造する方法において、請求項1乃至4のいずれかに記載の装置を用いて、製造プロセス中の基板表面の検査を行うことを特徴とするデバイス製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は最小線幅 θ 、 $1\mu\text{m}$ 以下のパターンが形成された基板の欠陥検査、あるいは線幅測定等のパターン検査を高スループット高信頼性をもって行うのに適した装置、並びに、同装置を用いて製造プロセス中の基板検査を行いながらデバイス等の製造をする方法に関する。

【0002】

【従来の技術】支持台上に載せた半導体基板の表面に1次電子ビームを照射し、同表面からの2次電子ビームに基づき表面画像を形成し、その画像を予め記憶した画像と比較することにより、半導体基板表面の欠陥の有無を判断したり、2次電子線に基づき半導体基板上に形成されたパターンのパターン線幅を測定して同パターン線の欠陥の有無を検査する電子線装置が知られている。

【0003】

【発明が解決しようとする課題】このような電子線装置に於ては、1次電子の照射量を増すと基板表面が帯電し、2次電子に基づき形成される画像が歪んだり、画像の明るさが変化したりして正しい欠陥検査が行えなくなる虞があった。

【0004】そこで本発明では、そのような帯電の影響を可能な限り低減することができるようにし、基板等の基板の欠陥を適正に検査することができるようにした電

子線装置を提供することを目的とする。また、本発明では、半導体基板等の基板を用いたデバイス製造において、製造プロセス途中の基板を、同電子線装置を用いて効率的に検査を行いながら、その製造を行う方法を提供することを目的とする。

【0005】

【課題を解決するための手段】すなわち、本発明は、電子銃により1次電子線を基板表面に照射し、該照射に応じて同基板面から発生する2次電子線の検出を行う電子線装置であって、基板を複数のダイに仕切る当該基板表面上のダイシングラインに接触して、同基板表面に発生する電荷を放電するための放電手段を有することを特徴とする電子線装置を提供する。この装置では、上記の如き構成の放電手段により、前述した従来電子線装置の問題を解消することを可能とする。

【0006】具体的には、複数の1次電子線を基板表面に照射する少なくとも1以上の1次電子光学系と、前記2次電子線を少なくとも1以上の検出器に導く少なくとも1以上の2次電子光学系とを有し、前記複数の1次電子線は、互いに前記2次電子光学系の距離分解能より離れた位置に照射されるものとするのが好ましい。

【0007】また、別の例では、2次電子線に基づき、基板表面に形成されているパターンのパターン線幅を測定して、その欠陥の有無を検査するようにすることもできる。

【0008】本発明は、このような電子線装置を、複数個並設して有することを特徴とする装置を提供する。複数の電子線装置を備えることにより、基板表面の検査を平行して行うことが可能となり、効率的に検査を行うことができる。

【0009】更に、本発明では、基板を用いたデバイスを製造する方法であって、上記の如き装置を用いて、製造プロセス中の基板表面の検査を行うことを特徴とするデバイス製造方法を提供する。微細なパターンを有する半導体デバイスでも、効率良く検査ができるので、全数検査が可能となり、製品の歩留まりの向上、欠陥製品の出荷防止が可能となる。

【0010】

【発明の実施の形態】図1は本発明の電子線による欠陥検査装置の実施の形態を説明する図である。この装置においては、電子銃21から放出される1次電子線2を、レンズ3、4から構成される電子ビーム照射系を介して基板すなわち基板17の表面に照射し、同表面から放出される2次電子線を像投影系9、8、5、12、13を介して検出器14に投影し、検出された信号を画像記憶手段15で一旦記憶し、これを手段16により予め記憶していた画像と比較することにより基板表面の欠陥の有無を判断するようになっている。尚、ここで、参照番号5は、電極6と電極7とから構成されるE×B分離器、8、9は対物レンズ、12、13は拡大レンズである。

【0011】前述の如く、照射する1次電子量が増加すると、基板17の表面が帯電して、同表面の正しい画像が得られなくなる虞がある。このため、本発明に係るこの装置においては、基板に形成されるダイ間のダイシングライン19の中央部に、複数の針状の導体18を接触させ、この導体を通して帯電した基板表面の電荷を逃すようにしている。導体は、通常は、基板と同電位にされる。導体の材質は、タングステン、タンタル等の高融点金属とすることが好ましい。

【0012】図示の装置では、電子銃から欠陥の有無を判断する手段迄の要素1～16からなるユニットが、1つのダイをあけた2つのダイにそれぞれ対応させて2つ設けられているが、このユニットは、ダイ寸法の整数倍のピッチで3以上の複数個設置することも可能であり、そのような装置においては、上記の如き欠陥検査を並列処理することによりスループットを上げることができる。

【0013】また、前述のように、2次電子信号から形成される基板表面の像を、予め記憶しておいた像と比較することにより当該表面の検査を行う代わりに、2次電子線に基づき、パターン線の線幅を測定して、その欠陥の有無を検査することも可能である。

【0014】本発明に係る装置においては、上記のようにして基板17表面の電荷を速やかに減少することができるため、1次電子線量を、2次電子線により形成する画像に影響を与えることなく、増大することができる。一つの実施例では、帯電による影響を実質的に与えることなく、1次電子線量を従来の3倍程度まで増大することができた。また、ダイシングライン上は、帯電した電荷と導体間でたとえ放電が起きて、基板表面が荒らされたとしても特に問題は生じなかった。

【0015】図2は、本発明に係る電子線装置の他の一つの実施の形態を概略的に示す。この装置においては、図1と同様に、基板のダイシングラインに対して接触する導体を設けて基板表面の放電を行うようにするものであるが、1つの電子銃21から放出された電子線から複数の電子線を形成し、各電子線による基板表面の検査を行えるようにしている。

【0016】すなわち、この装置では、電子銃21から放出された1次電子線は、コンデンサ・レンズ22によって集束されて点24においてクロスオーバを形成する。

【0017】コンデンサ・レンズ22の下方位には、複数の開口を有する第1のマルチ開口板23が光軸に対して直交するように配置され、電子銃からの1次電子線は開口を通して複数の電子線にされる。第1のマルチ開口板23によって複数にされた1次電子線のそれぞれは、縮小レンズ25によって縮小されて35に合焦投影される。点35で合焦した後、対物レンズ27によって基板28に合焦される。第1のマルチ開口板23から出

た複数の1次電子線は、縮小レンズ25と対物レンズ27との間に配置された偏向器により、同時に基板28の面上を走査するよう偏向される。

【0018】縮小レンズ25及び対物レンズ27の像面湾曲収差の影響を無くするため、図3に示すように、マルチ開口板23は円周上に開口23'が配置され、そのx方向(図中、水平方向)に延びる線へ投影されたものの間隔は等間隔となるようにされている。なお、点線で示した円は、後述する第2のマルチ開口板23に形成される開口を示す。

【0019】合焦された複数の1次電子線によって、基板28の複数の点が照射され、照射されたこれらの複数の点から放出された2次電子線は、対物レンズ27の電界に引かれて細く集束され、E×B分離器26で偏向され、二次光学系に投入される。2次電子像は点35より対物レンズ27に近い点36に焦点を結ぶ。これは、各1次電子線は基板面上で500eVにエネルギーを持っているのに対して、2次電子線は数eVのエネルギーしか持っていないためである。

【0020】二次光学系は拡大レンズ29、30を有しており、これらのレンズ29、30を通過した2次電子線は第2のマルチ開口板31の複数の開口を通して複数の検出器32に結像する。なお、検出器32の前に配置された第2のマルチ開口板31に形成された複数の開口と、第1のマルチ開口板23に形成された複数の開口とは一対一に対応している。

【0021】それぞれの検出器32は、検出した2次電子線をその強度を表す電気信号へ変換する。こうした各検出器から出力された電気信号は増幅器33によってそれぞれ増幅された後、画像処理部34によって受信され、画像データへ変換される。画像処理部34には、1次電子線を偏向させるための走査信号が更に供給されるので、画像処理部34は基板28の面を表す画像を表示する。この画像を標準パターンと比較することにより、基板28の欠陥を検出することができ、また、レジストレーションにより基板28を一次光学系の光軸の近くへ移動させ、ラインスキヤンすることによって線幅評価信号を取り出し、これを適宜に校正することにより、基板28上のパターンの線幅を測定することができる。

【0022】ここで、第1のマルチ開口板23の開口を通過した1次電子線を基板28の面上に合焦させ、基板28から放出された2次電子線を検出器32に結像させる際、一次光学系及び二次光学系で生じる歪み、像面湾曲及び視野非点という3つの収差による影響を最小にするよう配慮する方がよい。複数の1次電子線の間隔と、二次光学系との関係については、1次電子線の間隔を、二次光学系の収差よりも大きい距離だけ離せば複数のビーム間のクロストークを無くすることができる。

【0023】次に、図4及び図5を参照して、本発明に係る上記装置を採用して行う半導体デバイスの製造方法

10

20

30

40

50

を説明する。図4は本発明による半導体デバイスの製造方法の一実施例を示すフローチャートである。この実施例の工程は以下の主工程を含んでいる。

- (1) 基板(半導体ウェハ)を製造する基板製造工程(又は基板を準備する基板準備工程)
 - (2) 露光に使用するマスクを製造するマスクを製造するマスク製造工程(又はマスクを準備するマスク準備工程)
 - (3) 基板に必要な加工処理を行う基板プロセッシング工程
 - (4) 基板上に形成されたチップを一個づつ切り出し、動作可能にならしめるチップ組立工程
 - (5) できたチップを検査するチップ検査工程
- なお、上記のそれぞれの主工程は更に幾つかのサブ工程からなっている。

【0024】これらの主工程の中で、半導体デバイスの性能に決定的な影響を及ぼすのが(3)の基板プロセッシング工程である。この工程では、設計された回路パターンを基板上に順次積層し、メモリーやMPUとして動作するチップを多数形成する。この基板プロセッシング工程は以下の各工程を含んでいる。

- (a) 絶縁層となる誘電体薄膜や配線部、或いは電極部を形成する金属薄膜等を形成する薄膜形成工程(CVDやスパッタリング等を用いる)
- (b) この薄膜層や基板基板を酸化する酸化工程
- (c) 薄膜層や基板基板を選択的に加工するためにマスク(レクチル)を用いてレジストパターンを形成するリソグラフィー工程
- (d) レジストパターンに従って薄膜層や基板を加工するエッチング工程(例えばドライエッチング技術を用いる)
- (e) イオン・不純物注入拡散工程
- (f) レジスト剥離工程
- (g) 加工された基板を検査する工程

なお、基板プロセッシング工程は必要な層数だけ繰り返して行い、設計通り動作する半導体デバイスを製造する。

【0025】図5は、図4の基板プロセッシング工程の中核をなすリソグラフィー工程を示すフローチャートである。リソグラフィー工程は以下の各工程を含む。

- 1) 前段の工程で回路パターンが形成された基板上にレ

* 2) レジストを露光する工程

3) 露光されたレジストを現像してレジストのパターンを得る現像工程

4) 現像されたレジストパターンを安定化するためのアニール工程

上記の半導体デバイス製造工程、基板プロセッシング工程、及びリソグラフィー工程については、周知のものでありこれ以上の説明を要しないであろう。

【0026】

- 10 【発明の効果】本発明によれば、上記のようにして基板17表面の電荷を速やかに減少することができるため、1次電子線量を、2次電子線により形成する画像に影響を与えることなく増大することができ、従来のものよりも、より適切に検査を行うことが可能となる。また、本発明に係る電子線装置を用いれば、微細なパターンを有する半導体デバイスでも、スルーブット良く検査できるので、全数検査が可能となり、製品の歩留まりの向上、欠陥製品の出荷防止が可能となる。

【図面の簡単な説明】

- 20 【図1】本発明に係る基板表面の欠陥を検査するための電子線装置を2つ備える装置の概要説明図である。

【図2】本発明の他の実施形態に係る電子線装置の概要説明図である。

【図3】図2の電子線装置におけるマルチ開口板の平面図である。

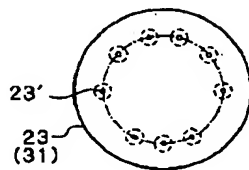
【図4】半導体基板により半導体デバイスを製造するための工程の概略を示す図である。

【図5】図4の基板プロセッシング工程の中核をなすリソグラフィー工程を示すフローチャートである。

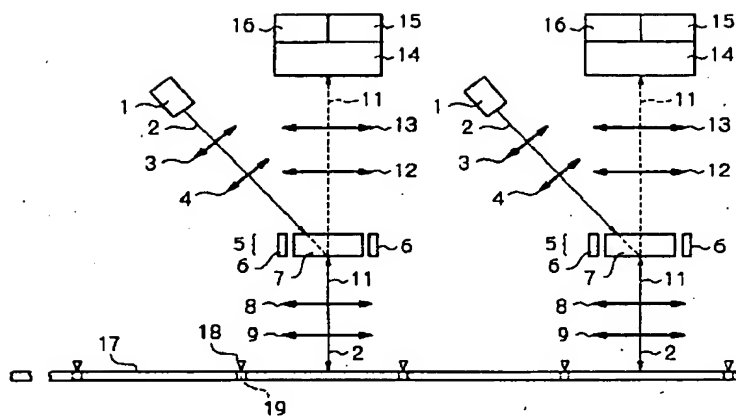
- 1 電子銃
- 3, 4 レンズ系
- 17 基板
- 9, 8, 5, 12, 13 写像投影系
- 14 検出器
- 15 画像記憶手段
- 16 比較手段
- 17 基板
- 18 導体
- 19 ダイシングライン
- 21 電子銃

*

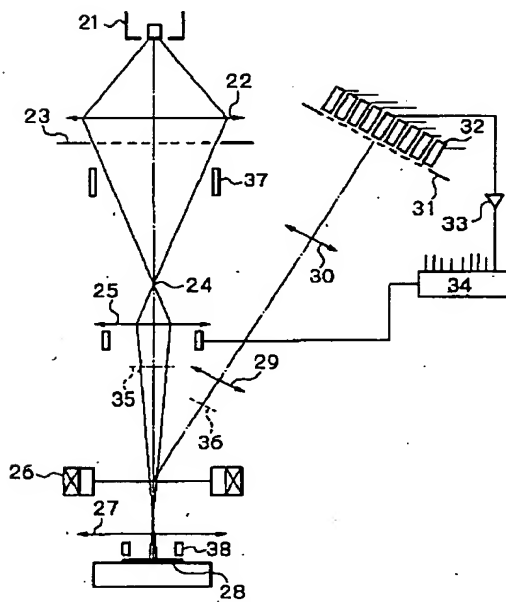
【図3】



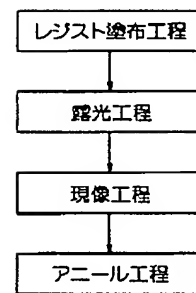
【図1】



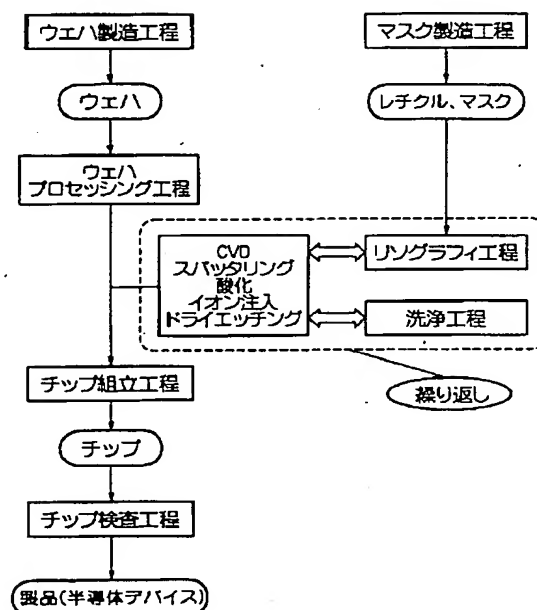
【図2】



【図5】



【図4】



フロントページの続き

(51)Int.Cl.⁷

G 2 1 K 5/04
H 0 1 J 37/28
H 0 1 L 21/027
21/66

識別記号

F I

H 0 1 J 37/28
H 0 1 L 21/66
G 0 1 R 31/28
H 0 1 L 21/30

テーマコード(参考)

B 5 C 0 0 1
J 5 C 0 3 3
L
5 0 2 V

(72)発明者	村上 武司	Ｆターム(参考)	2F067 AA26 BB04 CC17 HH06 HH13
	東京都大田区羽田旭町11番1号 株式会社		JJ05 KK04 LL16 RR30 SS13
	荏原製作所内		2G001 AA03 AA10 BA07 CA03 DA01
(72)発明者	野路 伸治		DA02 DA06 EA04 FA01 FA06
	東京都大田区羽田旭町11番1号 株式会社		GA05 GA07 KA03 KA20 LA11
	荏原製作所内		MA05 SA10
(72)発明者	佐竹 徹		2G011 AA01 AC33 AD02 AE01
	東京都大田区羽田旭町11番1号 株式会社		2G032 AD08 AF07
	荏原製作所内		4M106 AA01 BA02 CA38 DB02 DB04
(72)発明者	渡辺 賢治		DB05 DB12 DB30 DE21 DJ18
	東京都大田区羽田旭町11番1号 株式会社		DJ21
	荏原製作所内		5C001 BB07 CC04
			5C033 UU03 UU10